



Japanese Patent Laid-Open No. 59-161870

Laid-Open Date: September 12, 1984

Application No. 58-16187

Application Date: March 7, 1983

Request for Examination: not made

Inventor: Murakami et al.

Applicant: Oki Electric Industry Co., Ltd.

SPECIFICATION

1. Title of the Invention

A method for fabricating a semiconductor device

2. Claim

A method for fabricating a semiconductor device comprising: a step of sequentially overlaying a silicon thermal oxide film, a CVD nitride film and gate polysilicon on a semiconductor substrate, and etching the gate polysilicon until a part of the silicon thermal oxide film is exposed, thereby obtaining varied thicknesses of the CVD nitride film; and implanting impurities into the semiconductor substrate for forming source/drain diffusion layers in a manner that impurity distributions of the diffusion layers are varied with respect to a channel direction of a MOS transistor.

3. Detailed Description of the Invention

(Technical Field)

Scanned 2/18/2005 5:05:27 PM

The present invention relates to a method for fabricating a semiconductor device adapted to prevent channel shorting, punchthrough and the like.

(Prior Art)

The conventional MOS transistor employs a silicon thermal oxide film as a gate insulating film and polysilicon as a gate electrode. In addition, the conventional MOS transistor uses a homogeneous silicon thermal oxide film in the implantation of ions for source/drain formation. When this structure is used for forming the source/drain diffused layers, source/drain impurities are diffused deep into a channel region of the MOS transistor so that V_T (threshold voltage) shift, punchthrough and the like occur because of a short channel effect of the MOS transistor.

The avoidance of the aforesaid phenomena associated with this structure dictates the need for increased steps of ion implantation at high energy, and techniques for controlling impurity concentrations in the substrate and the like, resulting in more complicated techniques of semiconductor fabrication.

(Object of the Invention)

The invention is directed to solution to the above drawback and has an object to provide a method for fabricating a semiconductor device capable of preventing the channel shorting, punchthrough and the like.

(Constitution of the Invention)

Scanned 2/19/2005

The method for fabricating a semiconductor device according to the invention includes the steps of: sequentially overlaying a silicon thermal oxide film, a CVD nitride film and gate polysilicon on a semiconductor substrate; etching the gate polysilicon until a part of the silicon thermal oxide film is exposed, thereby obtaining varied thicknesses of the CVD nitride film; and implanting impurities into the semiconductor substrate for forming source/drain diffusion layers in a manner that impurity distribution of the diffusion layers are varied with respect to a channel direction of a MOS transistor.

(Embodiment)

A method for fabricating a semiconductor device according to an embodiment of the invention will hereinbelow be described with reference to the accompanying drawings. Figs.1 to 5 illustrate a procedure taken by the embodiment hereof. Referring to Figs.1 to 5, a semiconductor substrate is indicated at 1; a silicon thermal oxide film at 2; a CVD nitride film at 3; gate polysilicon at 4; a resist at 5; impurities for source/drain formation at 6; source/drain diffusion layers at 7 and 8; and an extension width of the CVD nitride film toward source/drain regions at A.

Fig. 1 shows a portion defining an active region of a MOS transistor, where the silicon thermal oxide film 2, CVD nitride film 3 and gate polysilicon 4 are overlaid on the semiconductor substrate 1.

Next, the resist 5 is formed on the gate polysilicon 4 by the photolithographic technique, as shown in Fig. 2.

Using the resist 5 as mask, the gate polysilicon 4 is etched by the CF₄ plasma etching technique. At this time, as shown in Fig. 3, the gate polysilicon 4 is etched until the silicon thermal oxide film 2 is partially exposed.

At completion of this process, there is obtained a structure wherein the CVD nitride film 3 is so left as to define the width A as shown in Fig. 3.

Next, referring to Fig. 4, ions of the impurities 6 for source/drain formation are implanted. At this time, the depth of ion implantation into the semiconductor substrate is determined by an energy at which the ions are implanted, an impurity concentration and a mask film thickness. Therefore, if the implanting energy and impurity concentration are constant, there may be formed a source/drain diffusion layer 7 having a similar impurity distribution to that obtained by the conventional technique and a shallower impurity layer 8 than the source/drain diffusion layer 7, as shown in Fig. 4.

In order to activate the impurities implanted in the semiconductor substrate 1 by the ion implantation, the subsequent step performs high-temperature anneal, thereby establishing impurity distributions, as shown in Fig. 5, in the vicinity of a channel of the MOS transistor.

As described with reference to the first embodiment, the

source/drain diffusion layers have different impurity concentration distributions with respect to the channel direction of the MOS transistor, which provide a structure to prevent the impurities from being spread in the channel direction. This is advantageous in that the avoidance of (1) the channel shorting, (2) punchthrough and the like, which is prerequisite for the implementation of a minute MOS transistor, can be easily achieved by the CVD and CF4 plasma etching techniques which are conventionally used for semiconductor fabrication.

(Effects of the Invention)

The invention is adapted to vary the impurity distributions of the source/drain diffusion layers with respect to the channel direction of the MOS transistor, in contrast to the conventional techniques for fabricating MOS transistors based on the V.LS.I technique requiring fine processing techniques. Hence, the invention offers merits of preventing the channel shorting, punchthrough and the like.

4. Brief Description of the Drawings

Figs. 1 to 5 each illustrate a step of a procedure for fabricating the semiconductor device according to one embodiment of the invention.

1: SEMICONDUCTOR SUBSTRATE

2: SILICON OXIDE FILM

3: CVD nitride film

4: gate polysilicon

5: resist

6: impurities for source/drain formation

7,8: source/drain diffusion layers

A: extension width of CVD nitride film toward source/drain region

Scanned 2/19/2025

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—161870

⑬ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和59年(1984)9月12日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の製造方法

⑯ 特 願 昭58—35864

⑰ 出 願 昭58(1983)3月7日

⑱ 発 明 者 村上則夫

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑲ 発 明 者 阿部秀司

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑳ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12
号

㉑ 代 理 人 弁理士 菊池弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上にシリコン熱酸化膜、CVD窒化膜およびゲートポリシリコンを順次形成するとともに上記シリコン熱酸化膜の一部が露出するまでゲートポリシリコンをエッチングしてCVD窒化膜の厚さを異ならせる工程と、上記半導体基板に不純物を導入してMOSトランジスタのチャンネル方向に対して不純物分布に差異を有するようにソース・ドレイン拡散層を形成する工程とよりなる半導体装置の製造方法。

3. 発明の詳細な説明

(技術分野)

この発明は、ショートチャンネル化およびパンチスルーなどを防止できるようにした半導体装置の製造方法に関する。

(従来技術)

従来のMOS型トランジスタはゲート絶縁膜と

してシリコン熱酸化膜を、ゲート電極としてポリシリコンを、さらにソースドレイン形成用のイオン注入に際しては、均一なるシリコン熱酸化膜を用いており、この構造を使用することにより、ソースドレイン拡散層を形成した場合、ソースドレイン不純物がMOSトランジスタのチャンネル領域へ深く拡散することで、MOSトランジスタのショートチャンネル効果によるVT(スレッショールド電圧)のシフトや、パンチスルーなどの現象が発生していた。

また、この構造による前述の現象を回避するためには高エネルギーによるイオン注入工程の増加、基板温度の制御などの技術が必要となり、半導体製造技術が複雑さを増す要因となっていた。

(発明の目的)

この発明は前述の欠点を解決するためになされたもので、ショートチャンネル化、パンチスルーなどを防止できる半導体装置の製造方法を提供することを目的とする。

(発明の構成)

この発明の半導体装置の製造方法は、半導体基板上にシリコン熱酸化膜、CVD酸化膜およびゲートポリシリコンを順次形成し、シリコン熱酸化膜の一部が露出するまでゲートポリシリコンをエッチングしてCVD酸化膜の厚さを異ならせ、半導体基板に不純物を注入してMOSトランジスタのチャネル方向に対して不純物分布に差異を有するようにソース・ドレイン拡散層を形成するようにしたものである。

(実施例)

以下、この発明の半導体装置の製造方法の実施例について図面に基づき説明する。第1図ないし第5図はその一実施例の工程説明図であり、この第1図ないし第5図において、1は半導体基板、2はシリコン熱酸化膜、3はCVD酸化膜、4はゲートポリシリコン、5はレジスト、6はソースドレイン形成用不純物、7、8はソースドレイン拡散層、AはCVD酸化膜のソース・ドレイン領域への拡がり幅である。

第1図は半導体基板1上にシリコン熱酸化膜2、

れよりも浅く形成される不純物層8が実現される。

これらのイオン注入により半導体基板1内に導入された不純物を活性化させるため、次工程において高温アニールを行うと、第5図のような、不純物分布がMOSトランジスタのチャネル付近に形成される。

以上、第1の実施例で説明したように、MOSトランジスタのチャネル方向に対し、ソースドレイン拡散層が異なった不純物濃度分布を有し、それがチャネル方向への不純物の拡がりを抑制する構造となつてゐるため、微細なMOSトランジスタを実現するために必要となる(1)ショートチャネル化の防止、(2)パンチスルーの防止などが従来半導体製造技術であるCVD技術とCF₄プラズマエッチング技術で簡単に実現できるという利点がある。

(発明の効果)

この発明は、微細加工技術を必要とするVLSI技術でのMOSトランジスタの製造技術に対し、ソースドレイン拡散層の不純物分布をMOSトラ

特開昭59-161870(2)

CVD酸化膜3、ゲートポリシリコン4を形成したMOSトランジスタのアクティブ領域となる部分を示している。

次に、第2図に示すように前記ゲートポリシリコン4上にフォトリソグラフィ技術により、レジスト5を形成する。

さらに、CF₄プラズマエッチング技術によりレジスト5をマスクとして、ゲートポリシリコン4をエッチングする訳であるが、このときに第3図に示すごとく、シリコン熱酸化膜2の一部が露出するまでゲートポリシリコン4をエッチングする。

この工程が終了した時点で、CVD酸化膜3が第3図のような幅Aを残した構造が得られる。

次に、第4図において、ソースドレイン形成のための不純物6をイオン注入する。このとき、イオン注入における注入エネルギー、不純物濃度およびマスク膜厚が半導体基板内への注入深さを決定するため、注入エネルギー、不純物濃度を一定とした場合、第4図に示すごとく、従来法と同様の不純物分布を有するソースドレイン拡散層7と、そ

ンジスタのチャネル方向に差をもたせるようにしたので、ショートチャネル化、パンチスルーなどを防止できる利点がある。

4. 図面の簡単な説明

第1図ないし第5図はそれぞれこの発明の半導体装置の一実施例を説明するための工程説明図である。

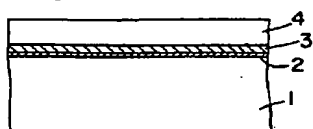
1…半導体基板、2…シリコン酸化膜、3…CVD酸化膜、4…ゲートポリシリコン、5…レジスト、6…ソースドレイン形成用不純物、7、8…ソースドレイン拡散層、A…CVD酸化膜のソースドレイン領域への拡がり幅。

特許出願人 沖電気工業株式会社

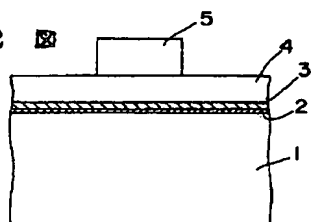
代理人 弁理士 菊 池 弘



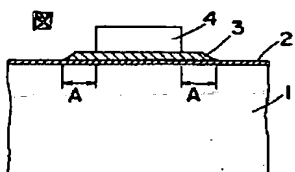
第 1 図



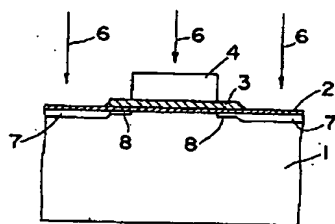
第 2 図



第 3 図



第 4 図



第 5 図

